

PLAN DU COURS

1. INTRODUCTION

1.1. Systèmes Électroniques

1.2. Systèmes Numériques

1.2.a. Du transistor aux Processeurs Numériques

1.2.b. Familles de Processeurs

1.2.c. Architectures à CPU

1.2.d. General Purpose Processors

1.3. Marchés

1.3.a. Fabricants et designers de Semi-Conducteur

1.3.b. Fabricants de GPP

1.3.c. Assembleurs compatibles PC

1.4. Applications

2. CARTE MERE

2.1. Introduction

2.2. Architecture Fonctionnelle Core2

2.2.a. NorthBridge

2.2.b. SouthBridge

2.2.c. Chipset

2.3. Réseaux et Bus de communication

2.3.a. Connectivité

2.3.b. Bus pour PCB

2.3.c. Réseaux Informatique

2.4. Évolutions vers l'architecture Sandy Bridge

2.5. Conseils

3. LANGAGE D'ASSEMBLAGE

- 3.1. *Développement bas niveau*
- 3.2. *Chaîne de compilation C*
- 3.2. *Langage d'assemblage*
- 3.3. *Architectures RISC/CISC*
 - 3.4.a. *Jeu d'instruction RISC 8051*
 - 3.4.b. *Jeu d'instruction CISC x86*
- 3.5. *Extensions du jeu d'instruction Intel*

4. CENTRAL PROCESSING UNIT

- 4.1. *Travail d'un CPU*
- 4.2. *CPU élémentaire*
- 4.3. *Architectures Matérielles*
 - 4.3.a. *Von Neumann*
 - 4.3.b. *Harvard*
 - 4.3.c. *Harvard modifiée*
- 4.4. *CPU Intel 8086*
 - 4.4.a. *Architecture matérielle*
 - 4.4.b. *Jeu d'instruction*
- 4.5. *Évolutions du 8086 au Core i7*
 - 4.5.a. *Registres*
 - 4.5.b. *Front End*
 - 4.5.c. *Out-of Order Engine*
 - 4.5.d. *Execution Core*

5. MEMOIRE

5.1. Introduction

5.1.a. Mémoires Volatile et Non-Volatile

5.1.b. Mémoires Morte et Vive

5.1.c. Mémoires Adressables par Octet

5.2. Hiérarchie et Cohérence Mémoire

5.3. Memory Managment Unit

5.3.a. Segmentation

5.3.b. Gestion Pile et Tas

5.3.c. Pagination

... à rédiger !

5.4. Mémoire Cache

5.4.a. Introduction

5.4.b. Cache Processeur

5.4.c. Politique de Remplacement

5.4.c. Méthodes de d'Accès

5.5. Mémoire Principale

5.5.a. Introduction

5.5.b. Technologies

5.6. Mémoire de Masse

5.6.a. Introduction

5.6.b. Disque dur

5.6.c. Autres supports

5. OPTIMISATION

... à rédiger !